



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03114028 A**(43) Date of publication of application: **15.05.91**

(51) Int. Cl

G02F 1/136
G02F 1/1343
G09F 9/30
H01L 27/12
H01L 29/784

(21) Application number: **01254612**(22) Date of filing: **28.09.89**(71) Applicant: **FUJITSU LTD**

(72) Inventor: **KAWAI SATORU**
INOUE ATSUSHI
SATO KIYOTAKE

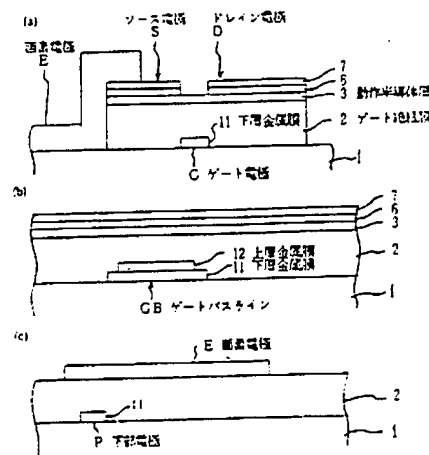
(54) **THIN FILM TRANSISTOR MATRIX AND ITS PRODUCTION**

(57) Abstract:

PURPOSE: To prevent a producing process from specially being increased in order to add a charge accumulation capacity by constituting a gate bus line of a lower layer metallic film and an upper layer metallic film, constituting a gate electrode of the extension part of the lower layer metallic film and constituting the charge accumulation capacity of a picture element electrode, the extension part of the lower layer metallic film and a gate insulating film.

CONSTITUTION: The gate bus line GB is made the multilayered film that a metallic film is taken as the lower layer metallic film 11 and a metallic film whose resistance is lower than the metallic film used for the lower layer metallic film 11 is taken as the upper layer metallic film 12. The gate electrode G is constituted of only the lower metallic film 11. Besides, a lower part electrode P for the charge accumulation capacity is constituted so that it consists of the (lower layer metallic film 11) in the same way as the gate electrode G and so that the lower electrode P and the picture element electrode E are opposed and arranged through the extension part of the gate insulating film 2. In such a case, the lower electrode P can be formed by the same process as the gate electrode G. Thus, even when the charge accumulation capacity is added, the producing process is not complicated and the resistance of the gate bus line is made low.

COPYRIGHT: (C)1991,JPO&Japio



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-114028

⑬ Int. Cl.¹

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)5月15日

G 02 F 1/136
1/1343
G 09 F 9/30
H 01 L 27/12
29/784

5 0 0

3 3 8

A

9018-2H
9018-2H
8621-5C
7514-5F

9056-5F H 01 L 29/78 3 1 1 A

審査請求 未請求 請求項の数 2 (全9頁)

⑮ 発明の名称 薄膜トランジスタマトリクスとその製造方法

⑯ 特 願 平1-254612

⑰ 出 願 平1(1989)9月28日

⑱ 発 明 者 川 井 悟 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑱ 発 明 者 井 上 淳 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑱ 発 明 者 佐 藤 精 威 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内
⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
⑳ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

薄膜トランジスタマトリクスとその製造方法

2. 特許請求の範囲

(i) 絶縁性基板(1)上に、複数の西素電極(E)と該西素電極対応の薄膜トランジスタ(30)をマトリクス状に配設し、前記薄膜トランジスタのゲート電極(G)を行ごとに共通に接続するゲートバスライン(GB)を平行に複数本配列し、各薄膜トランジスタのソース電極(S)を対応する西素電極と接続するとともに、該ソース電極と走査順位が前位のゲートバスライン(GB)との間に電荷蓄積容量(Cs)を接続した薄膜トランジスタマトリクスであって、

前記ゲートバスラインは、前記絶縁性基板上に下層金属膜(11)と上層金属膜(12)とをこの順に積層したストライプ状の積層膜からなり、

前記各ゲート電極は、該ゲート電極の行に対応するゲートバスラインの下層金属膜を、各ゲート

電極に対応づけられた西素電極側に導出した延長部からなり、

前記電荷蓄積容量は、各西素電極の下側に走査順位が前位のゲートバスラインの下層金属膜を導出した下部電極(P)と、前記西素電極が、ゲート絶縁膜の延長部を挟んで対向配置されてなる

ことを特徴とする薄膜トランジスタマトリクス。

(ii) 絶縁性基板(1)上に、下層金属膜(11)と該下層金属膜より低い抵抗率を有する上層金属膜(12)を積層し、

該上層金属膜の上に、ストライプ状のゲートバスライン部と、該ストライプの片側およびその反対側に前記ストライプより幅の狭いゲート電極部および蓄積容量の下部電極部とを引き出したバックのレジスト膜(4)を形成し、

次いで、該レジスト膜をマスクとして、前記上層金属膜および下層金属膜の露出部を除去し、

次いで、前記レジスト膜をマスクとして、前記上層金属膜を選択的にエッチング可能なエッチング法により、前記上層金属膜に対するサイドエッ

チングを、前記ゲート電極部および蓄積容量の下部電極部の上層金属膜が除去される程度に施し、

前記下層金属膜単層からなるゲート電極および蓄積容量の下部電極と、上層金属膜と下層金属膜との積層膜からなるゲートバスラインを形成する工程を含むことを特徴とする薄膜トランジスタマトリクス製造方法。

3. 発明の詳細な説明

〔概要〕

液晶表示装置等の駆動に用いる薄膜トランジスタマトリクスに関し、

電荷蓄積容量 C_s を付加しても、製造工程を複雑化することなく、且つ、ゲートバスライン抵抗を低くすることを可能ならしめることを目的とし、

絶縁性基板上に、複数個の西素電極と該西素電極対応の薄膜トランジスタをマトリクス状に配設し、前記薄膜トランジスタのゲート電極を行ごとくに共通に接続するゲートバスラインを平行に複数本配列し、各薄膜トランジスタのソース電極を対

応する西素電極と接続するとともに、該ソース電極と走査順位が前位のゲートバスラインとの間に電荷蓄積容量を接続した薄膜トランジスタマトリクスであって、前記ゲートバスラインは、前記絶縁性基板上に下層金属膜と上層金属膜とをこの順に積層したストライプ状の積層膜からなり、前記各ゲート電極は、該ゲート電極の行に対応するゲートバスラインの下層金属膜を、各ゲート電極に対応づけられた西素電極側に導出した延長部からなり、前記電荷蓄積容量は、各西素電極の下側に走査順位が前位のゲートバスラインの下層金属膜を導出した下部電極と、前記西素電極が、ゲート絶縁膜の延長部を挟んで対向配置されてなる構成とし、また、その製造方法は、絶縁性基板上に、下層金属膜と該下層金属膜より低い抵抗率を有する上層金属膜を積層し、該上層金属膜の上に、ストライプ状のゲートバスライン部と、該ストライプの片側およびその反対側に前記ストライプより幅の狭いゲート電極部および蓄積容量の下部電極部とを引き出したパターンのレジスト膜を形成し、

次いで、該レジスト膜をマスクとして、前記上層金属膜および下層金属膜の露出部を除去し、次いで、前記レジスト膜をマスクとして、前記上層金属膜を選択的にエッチング可能なエッチング法により、前記上層金属膜に対するサイドエッチングを、前記ゲート電極部および蓄積容量の下部電極部の上層金属膜が除去される程度に施し、前記下層金属膜単層からなるゲート電極および蓄積容量の下部電極と、上層金属膜と下層金属膜との積層膜からなるゲートバスラインを形成する工程を含む構成とする。

〔産業上の利用分野〕

本発明は液晶表示装置等の駆動に用いる薄膜トランジスタマトリクスに関する。

このようなマトリクスにおいては、液晶のオン・オフ時の誘電率異方性によって液晶自身に印加される電圧に直波分が重畳され、液晶の分解等の不安定性により、表示が不均一になるという問題が発生する。

この現象を防止するため、液晶層の数倍の容量を持った蓄積容量 C_s を、液晶セル C_c に並列に付加する方法が採られている。第4図(a)はこの付加容量が無い時の等価回路、第4図(b)、(c)は容量を付加した時の等価回路である。

なお、同図の30は薄膜トランジスタ、GBはゲートバスライン、DBはドレインバスラインである。

〔従来の技術〕

従来は、第5図に示したような構造により電荷蓄積容量 C_s を構成していた。

これはITO膜からなる西素電極Eの下に、18絶縁膜20とその下にITO膜からなる下部電極Pを配設して、電荷蓄積容量 C_s を西素の下部に設けたものである。

ゲート電極G、ゲート絶縁膜2、動作半導体層3、ソース電極S、ドレイン電極D等の、薄膜トランジスタは、絶縁性基板1上に形成した上記絶縁膜20の上に、西素電極Eとともに配設されてい

る。

これとは別に、図示はしていないが、ゲートおよびゲートバスラインと同一の工程で作製した金属膜上に、絶縁膜および西素電極を積層することにより、電荷蓄積容量を西素の下部に形成した構成も提案されている。

(発明が解決しようとする課題)

上述の技術によれば、電荷蓄積容量 C_a が薄膜トランジスタ(TFT)30に付加され、西素の向上を図ることができる。

しかしながら、前者の構造は電荷蓄積容量 C_a を付加していないものと比較して、製造工程において下部ITO膜を形成する工程と、電荷蓄積用の絶縁膜を設ける工程が付加され、製造工程が複雑化する。

これに対して後者の構造では、製造工程は電荷蓄積容量 C_a を付加していないものと同一であるが、代表的な例で見らる T_a 等の金属をゲートおよびゲートバスラインに用いた場合に、そのゲ-

に接続するとともに、該ソース電極 S と走査順位が前位のゲートバスライン GB との間に電荷蓄積容量 C_a を接続した薄膜トランジスタマトリクスの、電荷蓄積容量 C_a の構成に関する。

即ち、上記ゲートバスライン GB は、上記絶縁性基板1上に、下層金属膜11と上層金属膜12とをこの順に積層したストライプ状の積層膜をもって構成する。ここで上記上層金属膜12は下層金属膜11より低抵抗の金属を使用する。

上記各ゲート電極 G は、各ゲート電極 G の行に対応するゲートバスライン GB の下層金属膜11を、各ゲート電極 G に対応づけられた西素電極 E 側に導出した延長部からなる。

また、上記電荷蓄積容量 C_a は、各西素電極 E の下側に、走査順位が前位のゲートバスライン GB の下層金属膜11の延長部を導出して下部電極 P とし、これと上記西素電極 E を、ゲート絶縁膜2の延長部を挟んで対向配置した構成とする。

また、上記薄膜トランジスタマトリクスの製造に際しては、絶縁性基板1上に、下層金属膜11

トバスラインの抵抗がせいぜい100 Ω /□程度までしか下げられず、従って、5インチ程度の画素サイズまでは対応できるが、10インチ程度の時の必要値である10 Ω /□程度のシート抵抗を得られない。

本発明は、電荷蓄積容量 C_a を付加しても、製造工程を複雑化することなく、且つ、ゲートバスライン抵抗を低くすることを可能ならしめることを目的とする。

(課題を解決するための手段)

第1図(a)~(d)に本発明の構成を示す。同図(a)、(b)、(c)は、それぞれ(d)のA-A矢視部、B-B矢視部、C-C矢視部断面を示す図である。

本発明は、絶縁性基板1上に、複数個の西素電極 E と該西素電極 E 対応の薄膜トランジスタ30をマトリクス状に配設し、上記薄膜トランジスタ30のゲート電極 G を行ごとに共通に接続するゲートバスライン GB を平行に複数本配列し、各薄膜トランジスタのソース電極 S を対応する西素電極 E

と該下層金属膜11より低い抵抗率を有する上層金属膜12を積層し、該上層金属膜12の上に、ストライプ状のゲートバスライン部と、該ストライプの片側およびその反対側に上記ストライプより幅の狭いゲート電極部および蓄積容量の下部電極部とを引き出したバターンのレジスト膜4を形成し、次いで、該レジスト膜4をマスクとして、上記上層金属膜12および下層金属膜11の露出部を除去し、次いで前記レジスト膜4をマスクとして、上記上層金属膜12を選択的にエッチング可能なエッチング法により、上記上層金属膜12に対するサイドエッチングを、上記ゲート電極部および蓄積容量の下部電極部の上層金属膜12が除去される程度に施し、上記下層金属膜11単層からなるゲート電極 G および蓄積容量の下部電極 P と、上層金属膜12と下層金属膜11との積層膜からなるゲートバスライン GB を形成する。

(作 用)

本発明は、電荷蓄積容量 C_a の付加位置は第5

図に示す従来構造と同一であるが、電荷蓄積容量C_gを付加するために、特に製造工程を増加する必要をなくしたものである。

即ち、ゲートバスラインGBを比較的低抵抗の高い金属膜を下層金属膜11とし、これより低抵抗の金属膜を上層金属膜とする多層膜とし、ゲート電極Gは上記下層金属膜11のみの構造とし、更に、電荷蓄積容量C_g用の下部電極Pをゲート電極Gと同じく下層金属膜11のみからなる構造とし、ゲート絶縁膜2の延長部を介して上記下部電極Pと側素電極Bとを対向配置した構造としたことにより、下部電極Pをゲート電極Gと同一工程で形成可能とした。

この構成によれば上層金属膜12のもつ低抵抗性により、十分必要特性を満足する低抵抗ゲートバスラインGBを形成でき、しかも製造工程をなんら変更することなく、電荷蓄積容量C_gを付加出来る。

また、前述のように、ゲート電極G及び下部電極Pの幅をゲートバスラインGBの幅より著しく

狭く選んでおき、上層金属膜12上にレジスト膜が存在する状態で上層金属膜12のみを選択的にエッチングすれば、上層金属膜12のサイドエッチングが進行する。このエッチングで、幅の狭いゲート電極Gおよび下部電極Pの上層金属膜12が除去された時、幅の広いゲートバスラインGB上にはなお上層金属膜12が残留している。

従って、ゲート電極G及び下部電極Pの上層金属膜12を除去するために、新たにレジスト膜を形成する必要はなく、多層膜のパターニング時のマスクとして用いたレジスト膜を、そのまま用いてサイドエッチングを行なうことによって、単層膜からなるゲート電極G及び下部電極Pと、多層膜からなるゲートバスラインGBを形成できる。

(実施例)

以下第2図により本発明の一実施例を、その製造工程とともに説明する。この実施例は、下層金属膜11をT1、上層金属膜12をA4を用いて形成した例である。

【第2図(a)-2、(a)-3参照】

ガラス基板1上に、下層金属膜として窒素でチタン(T1)膜11を約20nmの厚さにスパッタリング法で形成し、その上に上層金属膜としてアルミニウム(A4)膜12を同じく窒素のスパッタリング法で約30nmの厚さに形成する。

【第2図(b)-1～(b)-3参照】

その上部にボジ型のレジスト膜4を形成する。

このレジスト膜4のパターンは、ストライプ状のゲートバスラインの両側に、このバスライン部より幅の狭い延長部を導出した形状とする。

【第2図(c)-1～(c)-3参照】

このレジスト膜4をマスクとして、ウェットエッチング法を施し、上記A4膜12の露出部を除去する。

【第2図(d)-1～(d)-3参照】

次いで上記レジスト膜4をマスクとして、CCl₄を用いたプラズマエッチング法により、T1膜11の露出部を除去する。

【第2図(e)-1～(e)-3参照】

次いで上記レジスト膜4をマスクとして、ウェットエッチング法を施し、A4膜12を過剰にエッチングする。これにより、幅の広いゲートバスライン部のA4膜12は、若干幅を減じるのみで残留するが、幅の狭い延長部上のA4膜は除去され、T1膜11のみからなるゲート電極Gおよび蓄積容量用の下部電極Pと、A4膜12とT1膜11の多層膜からなるゲートバスラインGBが形成される。

このように形成するためには、バスライン部の幅を、延長部の幅に対して凡そ2倍以上とすればよい。

【第2図(f)-1～(f)-3参照】

上記レジスト膜4を除去した後、プラズマ化学気相成長(P-CVD)法により、ゲート絶縁膜としてSiN膜2と、動作半導体層としてγ-Si層3を連続して形成する。

【第2図(g)-1～(g)-3参照】

ボジ型のレジスト膜(厚さ約2μm)5をゲート電極G上に形成する。

【第2図(h)-1～(h)-3参照】

次いで、このレジスト膜5を形成した状態のまま、焼(P)をドーブした n^+a-Si 層6を、基板温度約120°Cで形成し、その上部にT1膜とA4膜とを積層した金属膜7を室温で形成する。

【第2図(II)-1~(II)-3参照】

そのあと上記レジスト膜5をアセトンにより溶解除去し、ゲート電極O上の n^+a-Si 層6と金属膜7をリフトオフする。

【第2図(II)-1~(II)-3参照】

次いで、ソース電極およびドレインバスラインのパターンを有するポジ型のレジスト膜8を形成する。

【第2図(III)-1~(III)-3参照】

上記レジスト膜8をマスクとして金属膜7の上層A4膜の露出部をウェットエッチング法により除去し、次いでドライエッチング法により、下層のT1膜と n^+a-Si 層6及び $a-Si$ 層3、S1N膜2の露出部を、連続的に除去して、ソース電極S、ドレイン電極Dおよびドレインバスラ

インDBを形成する。このあと、上記レジスト膜8を除去する。

以上で素子分離が完了する。

【第2図(II)-1~(II)-3参照】

次いで、画素電極形成用のポジ型のレジスト膜を(図示せず)形成した後、スパッタリング法にて透明導電性のITO膜を形成し、上記レジスト膜を除去して、ITO膜の不要部をリフトオフする。これにより画素電極Eを形成する。以上で作成プロセスが完了する。

なお上記説明では、下部電極Pの部分の説明を省略してあるが、下部電極Pの上に積層された各膜のうち、レジスト膜5、8をこの部分には形成しないので、ゲート絶縁膜2を除く他の膜は全て除去される。従って、前述の第1図(II)に示すように、下部電極Pは、その上部を被覆するゲート絶縁膜2を介して、画素電極Eと対向することとなる。

以上述べたように、本実施例では、下部電極Pを形成するための工程を特に必要とせず、通常の

薄膜トランジスタマトリクスを形成する工程により同時に形成され、製造工程は至って簡単化される。

次に他の実施例を第3図により説明する。

この実施例では、下部電極Pを画素電極Eの同様部全域に配設して、電荷蓄積容量C₀の電極面積を、上記一実施例より大きくした。

この実施例においても、製造工程は上記一実施例と何ら変わるところはなく、単にフォトリソのパターンを一部変更するのみでよい。

以上二つの実施例とも、製造工程を複雑化することなく、電荷蓄積容量を形成でき、しかも、ゲートバスラインの低抵抗を低く抑えることが可能である。

(発明の効果)

以上説明した如く本発明によれば、ゲートバスラインは低抵抗のアルミニウムで構成されているため、シート抵抗として要求特性の1/10以下である1/20以下の低抵抗を容易に実現でき、

しかも製造工程の変更を行わずに電荷蓄積容量を形成でき、その結果良好な表示を実現できる。

4. 図面の簡単な説明

第1図は本発明の構成説明図、

第2図は本発明の一実施例説明図、

第3図は本発明の他の実施例説明図、

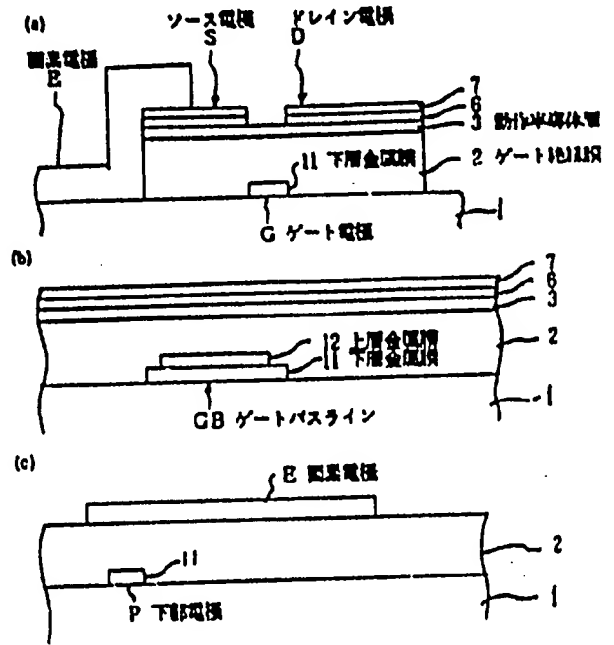
第4図はTFTマトリクス1画素分の等価回路図、

第5図は従来のTFTマトリクスの1画素分の要部断面図である。

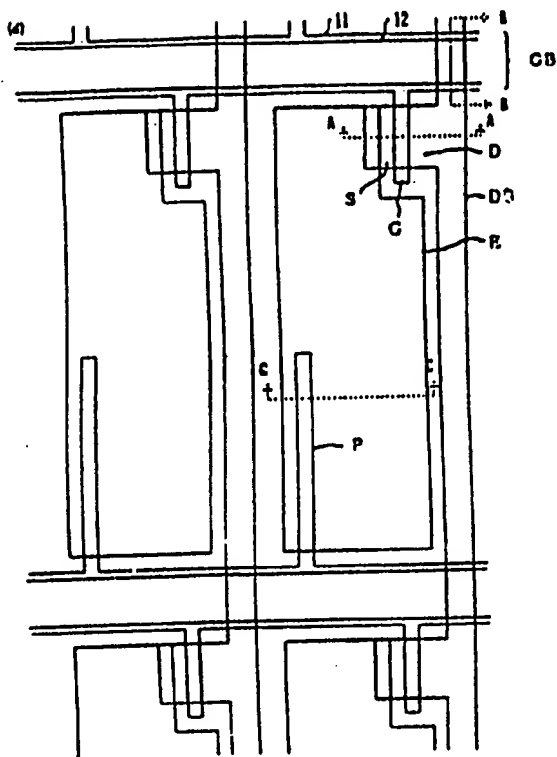
図において、1は透明絶縁性基板(ガラス基板)、2はゲート絶縁膜(S1N膜)、3は動作半導体層($a-Si$ 層)、4、5、8はレジスト膜、6はコンタクト層(n^+a-Si 層)、7は金属膜、11は下層金属膜(T1膜)、12は上層金属膜(A4膜)、20は絶縁膜、30は薄膜トランジスタマトリクス(TFT)、Eは画素電極、Pは下部電極、G、S、Dはそれぞれゲート電極、ソース電極、ドレイン電極、LCは液晶セル、GBはゲ

ートバスライン、DBはドレインバスラインを示す。

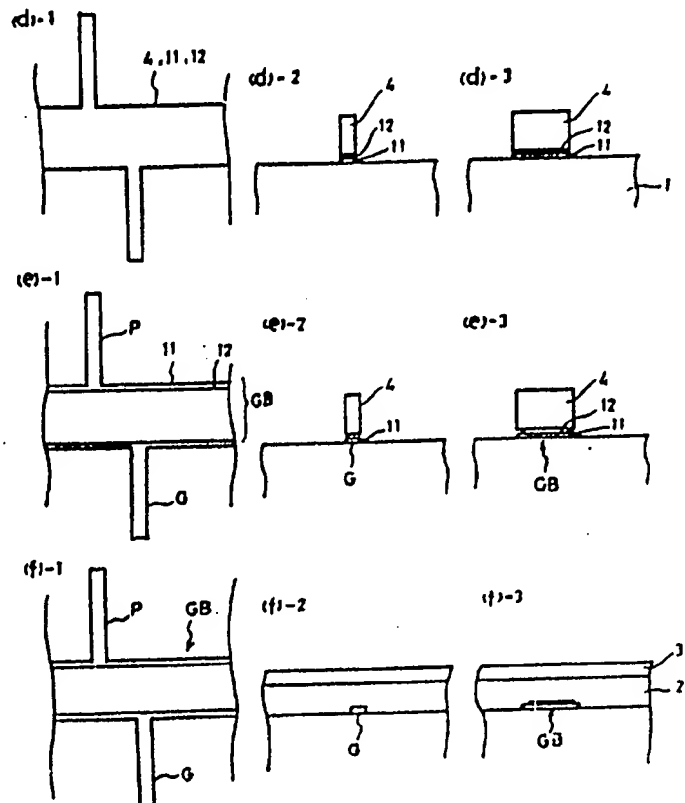
代理人 弁理士 井 附 貞 一



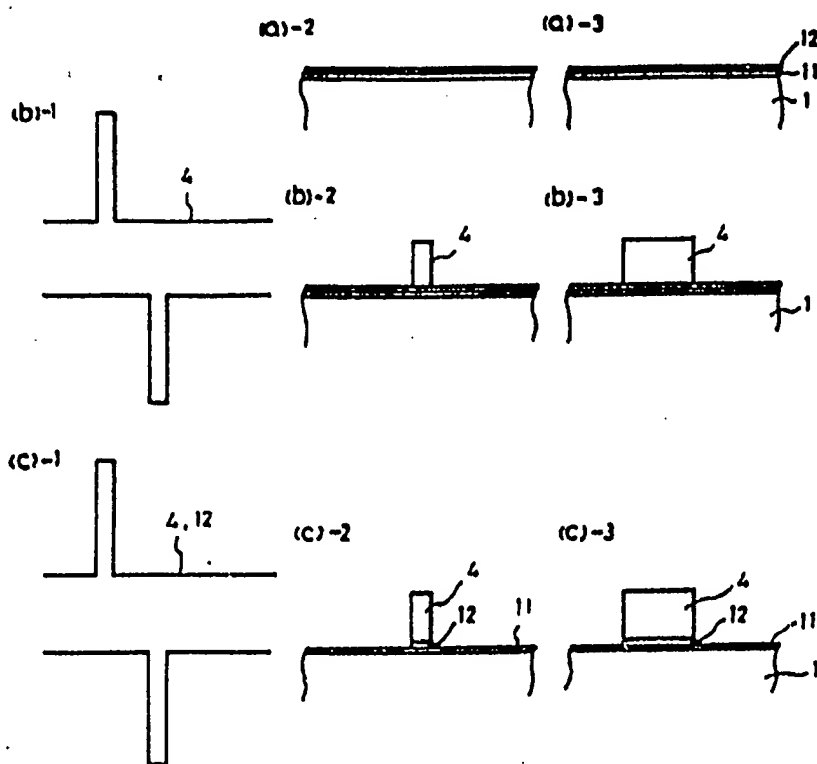
本発明の構成説明図
第1図(その1)



本発明の構成説明図
第1図(その2)

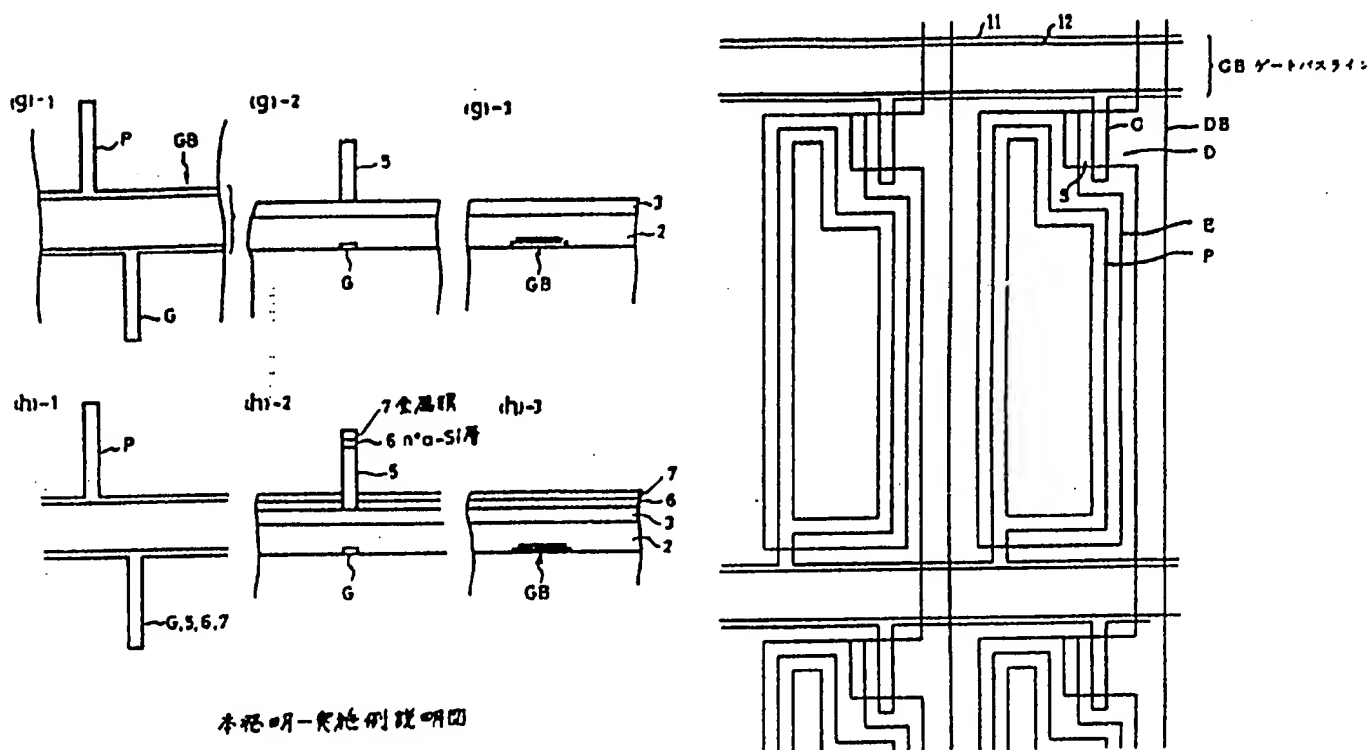


本発明-実施例説明図
第2図(その2)



本発明-実施例説明図

第 2 図 (7a1)

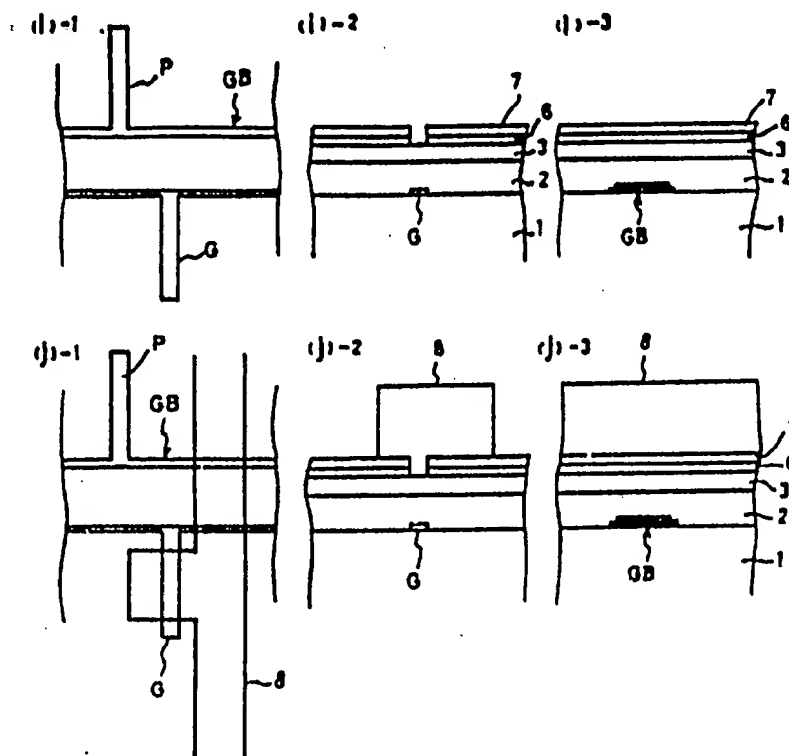


本発明-実施例説明図

第 2 図 (7a3)

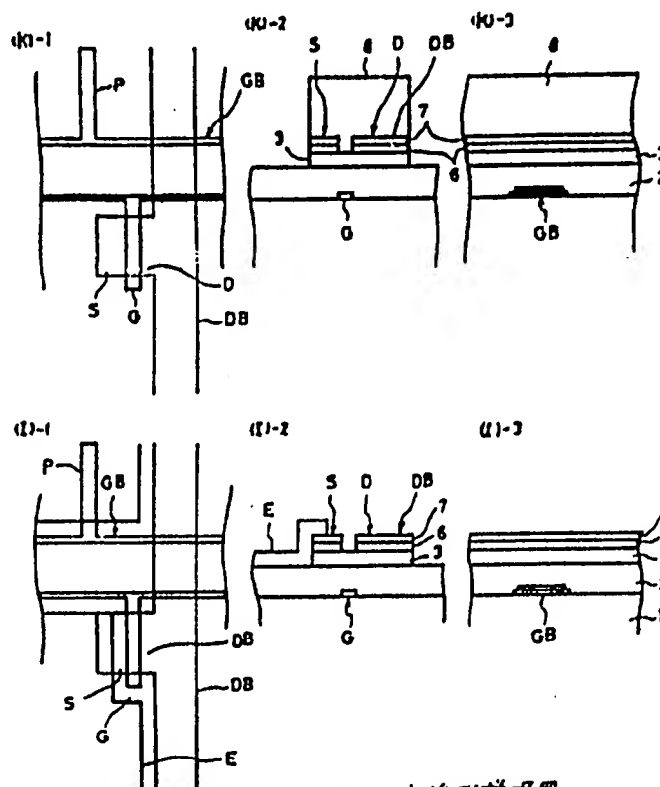
本発明他の実施例説明図

第 3 図



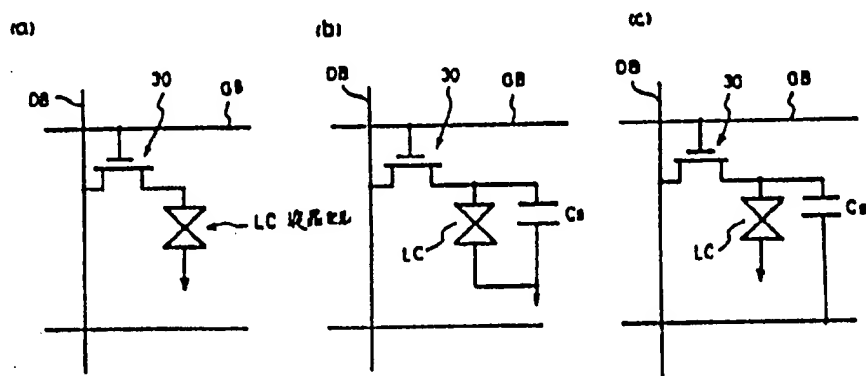
本發明一實施例說明圖

第 2 図 (つゝ 4)



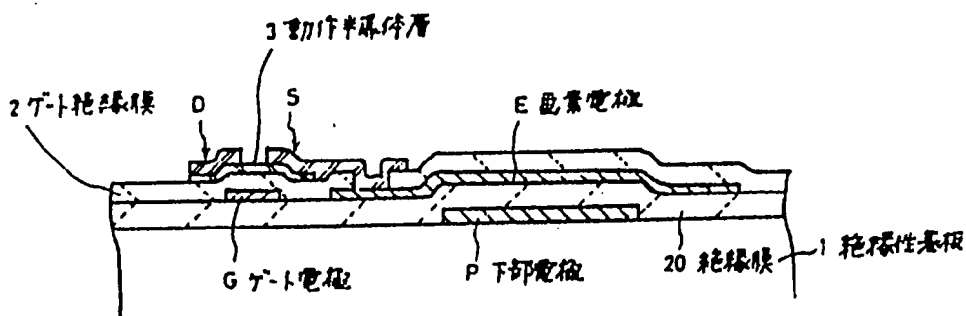
本發明-實施例說明圖

第 2 回 (445)



TFTマトリクス1画素分の等価回路図

第4図



従来のTFTマトリクス1画素分の等部断面図

第5図